

國立清華大學

碩士論文

以 CAM 為基礎之 IPv6 封包分類器之研製

The Design and Implementation of
CAM-based IPv6 Packet Classifier

所別 資訊工程研究所

學號姓名 884356 陳俊銘 Jun-Min Chen

指導教授 黃能富博士 Nen-Fu Huang

中華民國九十年六月十八日

論文摘要

隨著電腦技術的進步與網際網路的發展，網路呈現爆炸性的成長。在此同時，網際網路也面臨新的挑戰。首先，舊有的 IPv4 所規範的網際網路位址已經面臨不足的窘境，為解決位址不足的問題，新一代的網際網路通訊協定 IPv6 已被提出，以 128 位元的位址空間來取代原來的 32 位元位址空間；且 IPv6 的協定中更支援未來的行動通訊與多媒體通訊。另一方面，網際網路的蓬勃發展也讓網路管理變的迫切而需要，因此傳統針對第二或第三層位址進行路徑選擇的網路設備已經不符現代網路的需要，針對第四層或更高層的封包分類器也因此漸漸在網路中扮演重要的角色。

本論文針對下一代網際網路協定的特性與機制來開發出 IPv6 封包分類器的方法與架構，並進行硬體實作以提供更高的速度以符合骨幹網路的需求。本論文亦使用此成果在 x86 與 WindowsNT/2000 平台上實作防火牆，以證明此實作成果可應用於各種高層的網路應用，並有強大的處理能力應付骨幹網路的需求，可作為下一代核心網路設備之雛形。

目錄

第一章 緒論	1
第二章 相關研究	3
第三章 IPv6 封包的格式與特性	5
3.1 IPv6 封包格式	5
3.2 IPv6 位址特性	6
3.3 IPv6 特性與封包分類	7
第四章 IPv6 封包分類器之方法與架構	11
4.1 系統架構	11
4.1.1 整體系統發展平台	12
4.1.2 高速封包分類模組	12
4.1.3 封包分類器軟體	13
4.2 封包流程與演算法	13
4.3 記憶體維護與管理	16
4.3.1 記憶體資料結構	16
4.3.2 規則表管理	18
4.3.3 規則優先權管理	19
4.4 中央控制器之結構	20
4.4.1 PCI 匯流排控制	21
4.4.2 CAM 控制	21
4.4.3 中央控制器的內部控制與整體流程	22
第五章 IPv6 封包分類器之系統實作	25
5.1 封包分類模組硬體電路設計	29
5.2 CAM 控制電路設計	31
5.3 FPGA 開發設計	32
5.4 PCI 匯流排介面/驅動程式開發設計	33
5.5 上層軟體開發設計	37

第六章 IPv6 封包分類器之系統測試	39
6.1 上層軟體測試	40
6.2 封包分類模組與驅動程式測試	42
6.3 封包分類模組與 CAM 控制測試	43
6.4 封包分類模組展示系統	45
6.5 封包分類模組與整體系統效能分析	47
第七章 結論	48
參考文獻	49

圖表目錄

圖 3.1 IPv6 封包標頭	5
圖 3.2 IPv4 封包標頭	5
圖 3.3 Aggregatable Global Unicast Address	7
圖 3.4 TCP/IP 協定堆疊	8
表 3.1 封包分類規則範例	9
圖 4.1 整體系統架構圖	11
圖 4.2 封包流程	14
表 4.2 封包查表運算結果	15
圖 4.3 三態 IPv6 128 位元位址記憶體儲存結構	16
圖 4.4 壓縮 IPv6 128 位元位址	17
表 4.3 CAM 每筆資訊之資料結構	18
圖 4.5 IPv6 封包分類規則表優先權	20
圖 4.6 FPGA 控制器整體結構	21
表 4.4 CAM control block 提供之命令	22
圖 4.7 中央控制器之控制流程	24
圖 5.1 IPv6 Packet Classifier 整體系統運作	25
圖 5.2 IPv6 Packet Classifier 軟硬體運作	26
圖 5.3 一般封包處理流程	27
圖 5.4 特殊封包處理流程	28
圖 5.5 封包分類模組之功能區塊圖	29
圖 5.6 Orcad 電路繪製畫面	30
圖 5.7 完成之封包分類模組硬體正反面電路	31
圖 5.8 NSE3128 之區塊架構圖	32
圖 5.9 Maxplus2 電路設計畫面	33
圖 5.10 PCI/A 架構	34
圖 5.11 PCI 設定暫存器	35

表 5.1 DMA 暫存器的配置方式	36
圖 6.1 IPv6 封包分類器之完整系統圖	39
圖 6.2 瀏覽器連線設定封包分類規則畫面	40
圖 6.3 已設定之封包分類規則畫面	40
圖 6.4 封包交換程式執行畫面	41
圖 6.5 封包交換程式設定畫面	41
圖 6.6 驅動程式設計畫面	42
圖 6.7 CAM 與封包分類卡硬體模擬畫面	43
圖 6.8 CAM 與封包分類卡實體測試環境	44
圖 6.9 以邏輯分析儀觀測 CAM 與封包分類卡實體測試畫面	45
圖 6.10 本論文之展示系統	45
圖 6.11 硬體時序模擬波形圖	46